

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-309008

(43)Date of publication of application : 16.12.1988

(51)Int.Cl.

H03F 1/30
H03F 3/21

(21)Application number : 62-144710

(71)Applicant :

MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.06.1987

(72)Inventor :

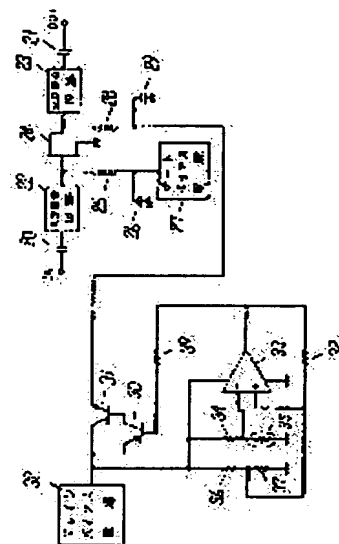
MATSUNAMI MASAHIRO
KANI NOBUHIRO

(54) POWER AMPLIFIER DEVICE

(57)Abstract:

PURPOSE: To prevent a metal semiconductor type field effect transistor FET from chattering by cutting off the drain bias voltage of a power amplifier when the temperature of a housing rises above reference temperature, and providing a comparing means with hysteresis characteristics.

CONSTITUTION: When the housing temperature rises above the reference temperature, the output of the comparing means 33 rises to H, for example, and the drain bias voltage and the FET 24 are cut off. The comparing means 33 has the hysteresis characteristics, so the output of the comparing means 33 falls to L, for example, after the housing temperature drops by temperature corresponding to the hysteresis width and the drain bias voltage and FET 24 conduct. Consequently, the FET is prevented from chattering and the power amplifier can operate until the FET is cut off again.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-309008

⑮ Int. Cl.⁴H 03 F 1/30
3/21

識別記号

庁内整理番号

A-7827-5J
7827-5J

⑬ 公開 昭和63年(1988)12月16日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 電力増幅装置

⑰ 特 願 昭62-144710

⑱ 出 願 昭62(1987)6月10日

⑲ 発 明 者 松 浪 将 仁 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 発 明 者 可 児 伸 弘 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

電力増幅装置

2、特許請求の範囲

筐体と、この筐体内に収納され、増幅素子として電界効果トランジスタを用いた電力増幅器と、前記筐体温度を検知する検知手段と、前記筐体温度を基準温度と比較する比較手段とを有し、前記筐体温度が前記基準温度より高くなった時に、前記電力増幅器のドレインバイアス電圧を遮断するように構成するとともに、前記比較手段はヒステリシス特性をもたせた電力増幅装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、電力増幅装置に関し、特に GaAsMESFET(メタルセミコンダクタ型電界効果トランジスタ)等を用いたマイクロ波帯の電力増幅装置に関するものである。

従来の技術

近年、放送衛星や通信衛星の打ち上げにともな

い、衛星送受信装置の開発がさかんになってきている。それにとともに、小型・軽量・高信頼性という特徴を有する GaAsMESFET(以下、単に FET と称す)を用いたマイクロ波電力増幅装置の重要性は大きくなってきている。

以下、図面を参照しながら、従来例について説明する。

第4図は FET を用いた従来のマイクロ波電力増幅装置の回路構成図の一例である。一般に電力増幅器は FET の多段接続となることが多いが、説明を簡略化するため、一般増幅器を用いて説明を行なう。

同図において、1, 2は直流成分遮断用コンデンサであり、3, 4は、それぞれ入力整合回路、出力整合回路である。5は増幅素子である FET であり、ゲートバイアス回路として、チョークコイル 9 とコンデンサ 7 により交流阻止用フィルタ回路を構成し、ゲートバイアス電源 8 に接続される。チョークコイル 9 とコンデンサ 10 により、ドレインバイアス回路として交流阻止用フィルタ

回路が構成され、トランジスタ11、12を介してドレインバイアス電源13に接続される。入力電力はFET5で増幅された後、次段回路へ導出される。14は比較器であり、比較器14のマイナス入力端子には、ドレインバイアス電源13との間に抵抗15を、グラウンドとの間にサーミスタ16を接続し、サーミスタ16はFET5近傍の筐体に埋め込む等、FET5のジャンクション温度と密接な相関を有する部分の筐体の温度を正確に検知できるようにする。比較器14のプラス入力端子には、ドレインバイアス電源13との間に抵抗17を接続し、グラウンドとの間に抵抗18を接続する。比較器14の出力は抵抗19を介してトランジスタ11のベースに接続する。

以上のように構成した従来のマイクロ波電力増幅装置の動作説明を以下に行なう。

マイクロ波電力増幅装置はパラボラアンテナの焦点に設置されるため、小型・軽量化が要求されている。一方、一般にマイクロ波電力増幅器の消費電力は大きく、FETのジャンクション温度と

悪に近い状態に重なった時に生じることが多い。そのため、その発生確率は極めて小さく、その小さい確率の場合にそなえて、筐体を大型化し、放熱を行なうという対策には大きな無駄が存在する。

そこで、FET5のジャンクション温度が信頼性の観点から許容される上限温度以上となった場合、ドレインバイアス電源13を遮断し、FET5をオフさせFET5のジャンクション温度が、許容温度を越えることを防いでいる。

すなわち、第4図において、抵抗15とサーミスタ16により決定される比較器14のマイナス入力電圧が電力増幅器を収納した筐体温度を表わしており、筐体温度が高くなれば、マイナス入力電圧は小さくなる。また、抵抗17、18により決定されるプラス入力電圧を基準温度となるように抵抗値を設定する。マイナス入力電圧がプラス入力電圧より大きい時には、比較器14の出力は“L”となり、トランジスタ11、12が、それぞれオンするため、ドレインバイアス電圧が供給されFET5はオンする。一方、FET5のジャ

ンクション温度、すなわち、筐体の温度が上がリ、検知素子であるサーミスタ16の抵抗が下がって、マイナス入力電圧がプラス入力電圧より小さくなった時には、比較器14の出力は“H”となり、トランジスタ11、12が、それぞれオフするため、ドレインバイアス電圧が遮断され、FET5はオフする。この時FET5、およびドレインバイアス電源13で消費される電力はほとんど無くなるので、筐体温度は低くなり、比較器14のマイナス入力電圧がプラス入力電圧より大きくなった時に、FET5はオンに復帰する。

しかしながら、FET5のジャンクション温度が信頼性の観点から許容される上限温度以上となるような状態は、周囲温度・風量・太陽熱等の環境条件のそれぞれが、最悪の状態、もしくは、最

寿命には密接な相関があることが知られているので、ジャンクション温度はできるだけ低くすることが望まれている。たとえば、FET5にFLM1414-4C(富士通社製)を用いた場合、FET5の直流バイアスによる消費電力は11Wとなり、ジャンクション温度は66℃(熱抵抗6℃/MAX)上昇する。さらに、FETの多段増幅器の場合、他のFET(図示せず)や電源回路の消費電力を熱源とする温度上昇や環境条件一周囲温度、太陽熱、風量等一による温度上昇を考慮すると、FET5のジャンクション温度は、最悪時には、160℃前後となることが多い。一方、FET5のジャンクション温度の絶対最大定格は175℃であり、一般的に、信頼性の観点から、130~135℃を越えない範囲で使用することが望まれている。

しかしながら、FET5のジャンクション温度が信頼性の観点から許容される上限温度以上となるような状態は、周囲温度・風量・太陽熱等の環境条件のそれぞれが、最悪の状態、もしくは、最

$$T_{rof} = T_r - P_D \times \theta_{cj} \quad \dots\dots(1)$$

と設定すればよい。この時FET5のジャンクション温度は、いかなる環境条件においても、 T_r

を越えることがないのも、電力増幅器の筐体の大きさにかわらず、FETの信頼性が保証される。

発明が解決しようとする問題点

しかしながら、第4図に示す回路構成の電力増幅装置では、筐体温度が基準温度に達すると比較器14の出力が“H”となり、FETはオフする。するとFETおよびドレインバイアス電源での消費電力は著しく小さくなるので、まもなく筐体温度が基準温度より低くなり、比較器14の出力は“L”となりFETはオンする。すると再び、FETおよびドレインバイアス電源の消費電力が増えるので、筐体温度が上がり、FETはオフする。以上の動作を繰り返す。すなわち、筐体温度が基準温度に達すると、比較器14の出力がチャタリングを起こし、FETがオン・オフを繰り返すため、電力増幅器が動作不可能になるという問題がある。また、FETがオン・オフを繰り返すことは信頼性上好ましくない。しかも一般的にマイクロ波電力FETは高価なため、

FETを破損した場合は大きな損失となるだけでなく、マイクロ波電力増幅装置は一般に厳重にシールドされているので、その取り換えが困難であるという欠点も有している。

本発明はかかる点に鑑みてなされたもので、わずかに一本の抵抗を追加することにより、FETのジャンクション温度が信頼性の観点から許容される温度範囲に保たれるという機能を失うことなく、かつ、FETのチャタリングを防止する電力増幅装置を提供するものである。

問題点を解決するための手段

上記問題点を解決するために本発明は、電界効果トランジスタを用いた電力増幅器を収納した筐体の温度を検知する検知手段と、前記筐体温度を基準温度と比較する比較手段とを設け、前記筐体温度が前記基準温度より高くなった時に、前記電力増幅器のドレインバイアス電圧を遮断するように構成するとともに、前記比較手段にヒステリシス特性をもたせたものである。

作用

前記のような構成により、筐体温度が基準温度に達した時に、比較手段の出力が例えば“H”となり、ドレインバイアス電圧およびFETを遮断する。比較手段に、ヒステリシス特性をもたせているので、そのヒステリシス幅に相当する温度だけ、筐体温度が低下した後、比較手段の出力が例えば“L”となり、ドレインバイアス電圧およびFETが導通する。そのため、FETのチャタリングが防止され、再びFETが遮断するまでの間、電力増幅器は動作可能となる。

実施例

本発明の一実施例を、第1図および第2図、第3図を用いて説明する。

第1図は本発明によるマイクロ波電力増幅装置の回路構成図の一例である。同図において、20、21は直流成分遮断用コンデンサであり、22、23は、それぞれ入力整合回路、出力整合回路である。24は増幅素子であるFETであり、ゲートバイアス回路として、チョークコイル25とコンデンサ26により交流阻止用フィルタ回路を構

成し、ゲートバイアス電源27に接続される。チョークコイル28とコンデンサ29により、ドレインバイアス回路として交流阻止用フィルタ回路が構成され、トランジスタ30、31を介してドレインバイアス電源32に接続される。入力電力はFET24で増幅された後、次段回路へ導出される。33は比較器であり、比較器33のマイナス入力端子には、ドレインバイアス電源32との間に抵抗34を、グラウンドとの間にサーミスタ35を接続し、サーミスタ35はFET24近傍の筐体に埋め込む等、FET24のジャンクション温度と密接な相関を有する部分の筐体の温度を正確に検知できるようにする。比較器33のプラス入力端子には、ドレインバイアス電源32との間に抵抗36を接続し、グラウンドとの間に抵抗37を接続し、比較器33の出力との間に抵抗38を接続する。また、比較器33の出力は、抵抗39を介してトランジスタ30のベースに接続する。

以上のように構成したマイクロ波電力増幅装置

の動作説明を以下に行なう。

比較器33の出力が“L”の時、トランジスタ30, 31が、それぞれオンし、FET24にドレインバイアス電圧が供給され、FET24がオンする。比較器33の出力が“H”の時、トランジスタ30, 31が、それぞれオフし、ドレインバイアス電圧が遮断されFET24がオフする。また抵抗34とサーミスタ35により決定される比較器33のマイナス入力電圧 $V_{in\ominus}$ が電力増幅器を収納した筐体温度を表わしており、抵抗36, 37, 38により決定されるプラス入力電圧 $V_{in\oplus}$ は $V_{in\ominus} < V_{in\oplus}$ の時、第(2)式で示す値Aとなる。

$$A = \frac{\frac{R_{37} \cdot R_{38}}{R_{37} + R_{38}} \cdot V_{00} + \frac{\frac{R_{36} \cdot R_{37}}{R_{36} + R_{37}} \cdot V_{0H}}{R_{36} + \frac{R_{37} \cdot R_{38}}{R_{37} + R_{38}}} \quad \dots\dots(2)$$

但し、 V_{00} : ドレインバイアス電源32の出力電圧

V_{0H} : 比較器33の“H”出力電圧

図(a)は $V_{in\ominus}$ すなわち筐体温度の時間変動であり、第3図(b)は比較器33の出力の時間変動である。同図において、筐体温度が上がり $V_{in\ominus}$ が小さくなって第(2)式に示すBに達した時、比較器33の出力は“H”となり、FET24はオフする。すると、FET24およびドレインバイアス電源32の消費電力は非常に小さくなるので、筐体温度が下がり、 $V_{in\ominus}$ は大きくなる。 $V_{in\ominus}$ が第(2)式に示す値Aに達した時に、比較器33の出力が“L”に反転し、FET24はオンする。すると再び、筐体温度が上がり、 $V_{in\ominus}$ がBに達した時に、FET24がオフする。以上の動作を繰り返す。

すなわち、最悪もしくは最悪に近い環境条件が重なり、筐体温度が基準温度に達するような状態であっても、筐体温度が第(2)式および第(3)式で示すA-Bの電圧差に相当する温度変動が生ずる時間だけ、FET24が動作可能となり、電力増幅器が全面的に停止状態となることはない。

さらに比較器33の出力にバッファアンプ(図示せず)と発光素子(図示せず)を縦続接続して、

また、 $V_{in\ominus} > V_{in\oplus}$ の時、 $V_{in\oplus}$ は第(3)式で示す値Bとなる。

$$B = \frac{\frac{R_{37} \cdot R_{38}}{R_{37} + R_{38}} \cdot V_{00} + \frac{\frac{R_{36} \cdot R_{37}}{R_{36} + R_{37}} \cdot V_{0L}}{R_{36} + \frac{R_{37} \cdot R_{38}}{R_{37} + R_{38}}} \quad \dots\dots(3)$$

但し、 V_{0L} : 比較器33の“L”出力電圧
すなわち、 $V_{in\oplus}$ は比較器33の出力状態に応じて、その値が第(2)式あるいは第(3)式で示す値をとる。

第2図に比較器33の $V_{in\ominus}$ と出力との相関図を示す。同図に示すように、比較器33はヒステリシス特性をもつ。前述したように、 $V_{in\ominus}$ が筐体温度を表わしているので、第(3)式に示すプラス入力電圧 $V_{in\oplus} = B$ の時の電圧値が基準温度となるように、抵抗36, 37, 38を、それぞれ設定すれば、筐体温度が基準温度に達した時に、比較器33の出力は“H”となり、FET24はオフする。この時の動作波形を第3図に示す。第3

発光素子(図示せず)を電力増幅器の外部に取り出しておけば、FET24のオフ時には、比較器33の出力は“H”となるので、発光素子は発光し、電力増幅器が遮断状態であることが確認できる。

また本実施例では、電力増幅器として一般増幅器を用いて説明したが、多段増幅器の場合でも、筐体温度が基準温度に達した時に、それぞれの増幅器のドレインバイアス電圧を遮断すればよいのであって、本発明が適用可能なのは言うまでもない。

発明の効果

以上説明したように、本発明によれば、わずかな回路の追加で、いかなる環境条件においても、FETのジャンクション温度が、信頼性の観点から許容される範囲内に保たれ、かつ、最悪もしくは最悪に近い環境条件が重なり、筐体温度が基準温度に達し電力増幅器が遮断状態に陥った時でも、ヒステリシス回路の作用により、筐体温度が低下してから動作状態に復帰するので、少なくともし

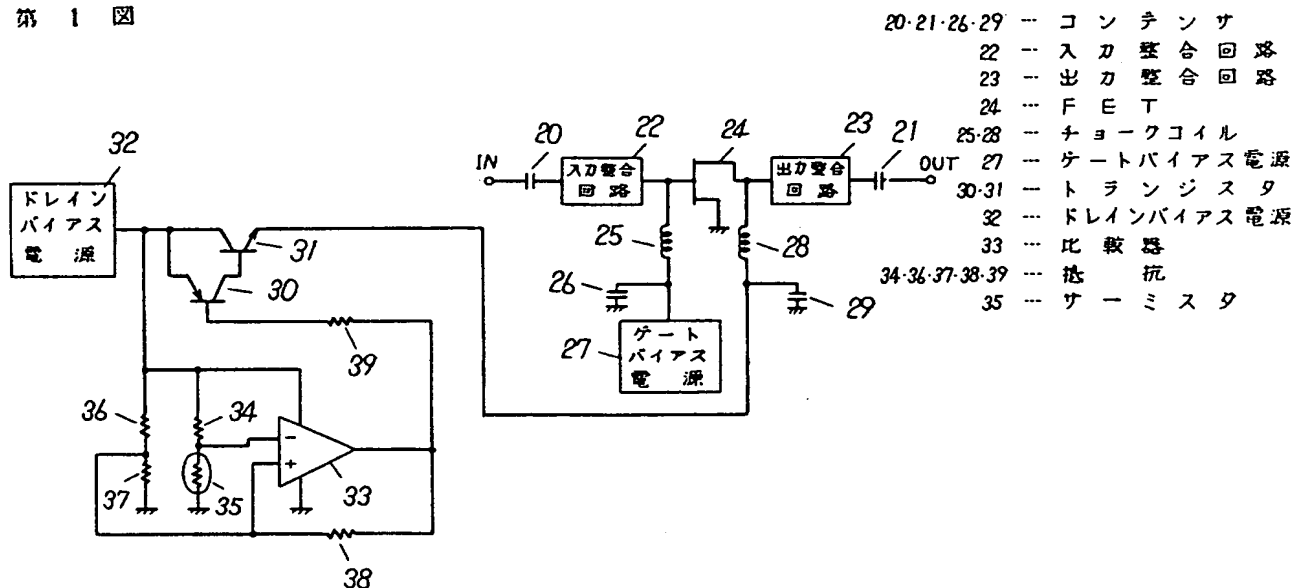
ばらくの間は動力増幅器が動作可能となり、全面的に遮断状態となるのを防ぐことができる。また、FETのチャタリングを防止することにもなるので、FETの信頼性を、さらに向上することが可能となる。

4、図面の簡単な説明

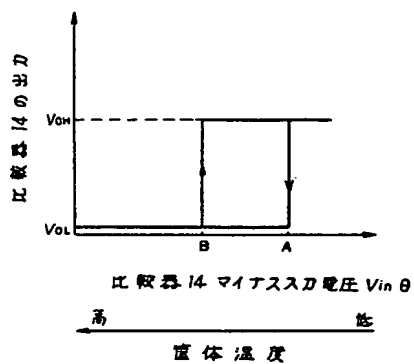
第1図は本発明による電力増幅装置の一実施例の回路構成図であり、第2図は比較器のマイナス入力電圧と出力との関係を示す図であり、第3図は比較器のマイナス入力電圧と出力の時間変動を示す図であり、第4図は従来の電力増幅装置の回路構成図である。

1, 2, 7, 10, 20, 21, 26, 29...
コンデンサ、3, 22...入力整合回路、4,
23...出力整合回路、5, 24...FET、6,
9, 25, 28...チョークコイル、8, 27...
ゲートバイアス電源、11, 12, 30, 31
...トランジスタ、13, 32...ドレインバイ
アス電源、14, 33...比較器、15, 17,
18, 34, 36, 37, 38, 39...抵抗、

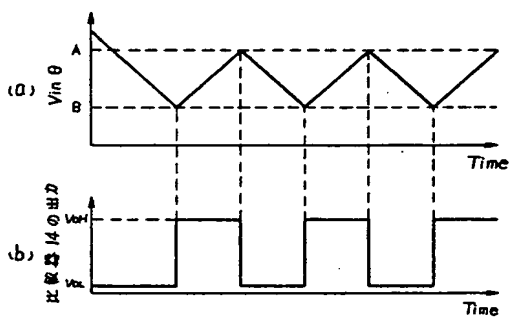
第 1 図



第 2 図



第 3 図



第 4 図

